

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001105

International filing date: 27 January 2005 (27.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-019278
Filing date: 28 January 2004 (28.01.2004)

Date of receipt at the International Bureau: 24 February 2005 (24.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

01.2.2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 1 月 2 8 日
Date of Application:

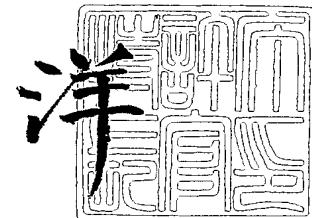
出 願 番 号 特 願 2 0 0 4 - 0 1 9 2 7 8
Application Number:
[ST. 10/C] : [J P 2 0 0 4 - 0 1 9 2 7 8]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 4 年 1 1 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 0390818102
【提出日】 平成16年 1月28日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 09/00
【発明者】
 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
 【氏名】 片野 由人
【発明者】
 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
 【氏名】 吉田 正
【発明者】
 【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・エルエス
 アイ・デザイン株式会社内
 【氏名】 迫 和彦
【特許出願人】
 【識別番号】 000002185
 【氏名又は名称】 ソニー株式会社
【代理人】
 【識別番号】 100092152
 【弁理士】
 【氏名又は名称】 服部 毅巖
 【電話番号】 0426-45-6644
【手数料の表示】
 【予納台帳番号】 009874
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0010569

【書類名】 特許請求の範囲**【請求項 1】**

データの書き換えが可能な不揮発性メモリからブートプログラムを読み出して起動する半導体装置において、

前記不揮発性メモリ内の複数のブロックにそれぞれ同一の前記ブートプログラムが記憶され、

さらに、

起動時に前記不揮発性メモリ内の前記ブートプログラムの読み出し位置を指定して、読み出された前記ブートプログラムに従って起動処理を実行するCPUと、

前記読み出し位置に対応する前記不揮発性メモリ内のブロックから読み出したデータに基づいて、当該ブロックが不良であるか否かを判定し、不良でない場合は、当該データを前記CPUに対して出力し、不良である場合は、前記ブートプログラムが記憶された他のブロックからデータを読み出して当該ブロックが不良であるか否かを再度判定する読み出し制御回路と、

を有することを特徴とする半導体装置。

【請求項 2】

前記読み出し制御回路は、少なくとも、前記不揮発性メモリから読み出したデータに含まれるエラー訂正符号に基づいて、当該ブロックが不良であるか否かを判定することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記読み出し制御回路は、前記エラー訂正符号に基づいて、訂正可能なデータであると判定した場合は、当該データを訂正して前記CPUに供給し、訂正不可能なデータであると判定した場合は、当該ブロックが不良であると判定する、

ことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記読み出し制御回路は、少なくとも、前記不揮発性メモリから読み出したデータに含まれるブロック状態情報に基づいて、当該ブロックが不良であるか否かを判定することを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

前記読み出し制御回路は、前記ブロック状態情報があらかじめ決められた値でないときに、当該ブロックが不良であると判定することを特徴とする請求項 4 記載の半導体装置。

【請求項 6】

前記ブロック状態情報は、前記ブートプログラムが記憶されたブロック内の先頭ページに記憶されていることを特徴とする請求項 4 記載の半導体装置。

【請求項 7】

前記不揮発性メモリは、NAND型フラッシュメモリであることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】

データの書き換えが可能な不揮発性メモリから読み出されたブートプログラムに従って起動処理を実行するCPUを具備する半導体装置の起動処理方法において、

前記不揮発性メモリ内の複数のブロックにそれぞれ同一の前記ブートプログラムが記憶され、

前記不揮発性メモリの読み出し制御回路により、起動時に前記CPUに指定された読み出し位置に対応する前記不揮発性メモリ内のブロックからデータを読み出し、読み出したデータに基づいて当該ブロックが不良であるか否かを判定し、不良でない場合は、当該データを前記CPUに対して出力し、不良である場合は、前記ブートプログラムが記憶された他のブロックからデータを読み出して当該ブロックが不良であるか否かを再度判定する

ことを特徴とする半導体装置の起動処理方法。

【書類名】 明細書

【発明の名称】 半導体装置およびその起動処理方法

【技術分野】

【0001】

本発明は、データの書き換えが可能な不揮発性メモリからブートプログラムを読み出して起動する半導体装置、およびその起動処理方法に関し、特に、例えばNAND型フラッシュメモリのように、製造過程で不良ブロックを排除することが困難な大容量の不揮発性メモリからブートプログラムを読み出して起動する半導体装置、およびその起動処理方法に関する。

【背景技術】

【0002】

近年、多数の機能を1チップ上に集積した構造を有するシステムLSI (Large Scale Integrated circuit) は、家庭用のポータブル機器などの様々な電子機器に使用されている。システムLSIには、ブートプログラムなどの様々な処理プログラムやデータが記憶された不揮発性メモリが、チップの内部または外部に設けられる。このような不揮発性メモリとして、記憶データの電氣的な書き換えが可能なフラッシュメモリが用いられることが多くなっている。

【0003】

ブートプログラムを格納するフラッシュメモリとしては、一般にNOR型フラッシュメモリが用いられることが多い。しかし、最近では、ビット単価の比較的安価なNAND型フラッシュメモリを用いる要求が高まっている。

【0004】

NAND型フラッシュメモリを利用した従来のブートシステムとしては、CPU (Central Processing Unit) コアと、システムメモリと、NAND型フラッシュメモリと、各メモリとCPUコアとの間のデータ通信のためのインタフェースとを具備し、CPUコアの制御により、NAND型フラッシュメモリからのブートコードを上記インタフェースを通じてRAM (Random Access Memory) に一旦格納し、このRAMからブートコードを読み出すことでシステムブーティング動作を行い、システム性能を向上させたものがあった (例えば、特許文献1参照)。

【特許文献1】 特開2003-271391号公報 (段落番号 [0027] ~ [0033]、図2)

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、フラッシュメモリは、通常、データの書き込みや読み出しがブロック単位で行われるが、NAND型フラッシュメモリは、製造過程において不良ブロックがランダムに発生することが知られている。一方、NAND型フラッシュメモリを用いたブートを可能とするためには、ブートプログラムが記憶されたブロックが不良でなく、そのプログラムが正常に記憶されていることが保証されている必要がある。しかし、NAND型フラッシュメモリにおいて、ある特定のブロックが不良でないことを保証するためには、出荷前に行う試験のコストが増大してしまうことが問題となっていた。

【0006】

本発明はこのような課題に鑑みてなされたものであり、NAND型などの比較的ビット単価の低いフラッシュメモリをブートデバイスとして使用した場合に、常に安定的に起動することが可能とされた半導体装置を提供することを目的とする。

【0007】

また、本発明の他の目的は、NAND型などの比較的ビット単価の低いフラッシュメモリをブートデバイスとして使用した場合に、常に安定的に起動することが可能となる半導体装置の起動処理方法を提供することである。

【課題を解決するための手段】

【0008】

本発明では上記課題を解決するために、データの書き換えが可能な不揮発性メモリからブートプログラムを読み出して起動する半導体装置において、前記不揮発性メモリ内の複数のブロックにそれぞれ同一の前記ブートプログラムが記憶され、さらに、起動時に前記不揮発性メモリ内の前記ブートプログラムの読み出し位置を指定して、読み出された前記ブートプログラムに従って起動処理を実行するCPUと、前記読み出し位置に対応する前記不揮発性メモリ内のブロックから読み出したデータに基づいて、当該ブロックが不良であるか否かを判定し、不良でない場合は、当該データを前記CPUに対して出力し、不良である場合は、前記ブートプログラムが記憶された他のブロックからデータを読み出して当該ブロックが不良であるか否かを再度判定する読み出し制御回路とを有することを特徴とする半導体装置が提供される。

【0009】

このような半導体装置では、起動時には、まず、不揮発性メモリにおいて同一のブートプログラムがあらかじめ記憶されたブロックのうちの1つから、読み出し制御回路によりデータが読み出される。読み出し制御回路は、読み出したデータに基づいて、このとき読み出しが行われたブロックが不良であるか否かを判定する。この判定は、例えば、読み出したデータに含まれるエラー訂正情報、あるいはブロック状態情報などに基づいて行う。

【0010】

そして、読み出し制御回路は、当該ブロックが不良でない場合は、読み出したデータをCPUに出力する。これにより、ブートプログラムが順次CPUに入力されて実行され、半導体装置が起動する。一方、当該ブロックが不良である場合は、不揮発性メモリにおいてブートプログラムが記憶された他のブロックからデータを読み出し、このとき読み出しが行われたブロックが不良であるか否かを再度判定する。

【0011】

このような読み出し制御回路が半導体装置に実装されることにより、不良ブロックがランダムに含まれる大容量の不揮発性メモリを用いた場合にも、不良ブロックに記憶された不正なブートコードがCPUに実行される事態が回避される。従って、比較的製造コストの低い不揮発性メモリを用いて、常に安定的な起動処理を行うことが可能となる。

【0012】

また、本発明では、データの書き換えが可能な不揮発性メモリから読み出されたブートプログラムに従って起動処理を実行するCPUを具備する半導体装置の起動処理方法において、前記不揮発性メモリ内の複数のブロックにそれぞれ同一の前記ブートプログラムが記憶され、前記不揮発性メモリの読み出し制御回路により、起動時に前記CPUに指定された読み出し位置に対応する前記不揮発性メモリ内のブロックからデータを読み出し、読み出したデータに基づいて当該ブロックが不良であるか否かを判定し、不良でない場合は、当該データを前記CPUに対して出力し、不良である場合は、前記ブートプログラムが記憶された他のブロックからデータを読み出して当該ブロックが不良であるか否かを再度判定することを特徴とする半導体装置の起動処理方法が提供される。

【0013】

このような半導体装置の起動処理方法では、読み出し制御回路により、起動時には、まず、不揮発性メモリにおいて同一のブートプログラムがあらかじめ記憶されたブロックのうちの1つからデータが読み出される。そして、読み出したデータに基づいて、このとき読み出しが行われたブロックが不良であるか否かが判定される。この判定は、例えば、読み出したデータに含まれるエラー訂正情報、あるいはブロック状態情報などに基づいて行われる。

【0014】

そして、当該ブロックが不良でない場合は、読み出したデータがCPUに出力される。これにより、ブートプログラムが順次CPUに入力されて実行され、半導体装置が起動する。一方、当該ブロックが不良である場合は、不揮発性メモリにおいてブートプログラムが記憶された他のブロックからデータが読み出され、このとき読み出しが行われたブロッ

クが不良であるか否かの判定が再度行われる。

【0015】

このような処理が読み出し制御回路に実行されることにより、不良ブロックがランダムに含まれる大容量の不揮発性メモリを用いた場合にも、不良ブロックに記憶された不正なブートコードがCPUに実行される事態が回避される。従って、比較的製造コストの低い不揮発性メモリを用いて、常に安定的な起動処理を行うことが可能となる。

【発明の効果】

【0016】

本発明によれば、製品出荷前の試験によることなく、不揮発性メモリ内のブートプログラムが記憶されたブロックが正常であることを保証することができるので、製造コストの低い大容量の不揮発性メモリを用いて、この不揮発性メモリ内のブートコードに従って常に安定的に半導体装置を起動させることができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態を図面を参照して詳細に説明する。

図1は、本発明の実施の形態に係る半導体装置の構成を示す図である。

図1に示す半導体装置は、各種回路が同一半導体チップ上に集積されたシステムLSI 10と、この外部に設けられたNAND型のフラッシュメモリ20とを具備する。

【0018】

システムLSI 10は、CPU 11、eDRAM (embedded Dynamic Random Access Memory) 12および13、フラッシュメモリコントローラ14、入出力(I・O) I/F (インタフェース) 15、その他の周辺回路(Peripheral) 16、内部バス17を具備する。

【0019】

CPU 11は、内部バス17を通じてeDRAM 12および13やフラッシュメモリコントローラ14、周辺回路16に接続されている。CPU 11は、フラッシュメモリ20などに記憶された処理プログラムを実行することにより、この半導体装置全体の動作を統括的に制御する。eDRAM 12および13は、CPU 11により実行される処理プログラムや、処理に用いられるデータを一時的に記憶する。

【0020】

フラッシュメモリコントローラ14は、外部に設けられたフラッシュメモリ20の読み出しを制御する回路であり、その内部にRAM 14aを具備している。フラッシュメモリコントローラ14は、CPU 11から読み出しアドレスの指定を受けて、フラッシュメモリ20からデータを読み出してRAM 14aに一時的に格納した後、CPU 11に供給する。また、RAM 14aに記憶したデータに対して、このデータに含まれるECC (Error Correcting Code) に基づいてエラー訂正を行う機能も有する。

【0021】

さらに、フラッシュメモリコントローラ14は、CPU 11によりフラッシュメモリ20内のブートプログラムに対するアクセスを受けた場合には、フラッシュメモリ20から読み出したデータをRAM 14aに一旦格納した後、読み出しを行ったフラッシュメモリ20内のブロックが不良であるか否かを判定して、不良でない場合のみ、そのデータをCPU 11に供給する。

【0022】

入出力I/F 15は、フラッシュメモリコントローラ14とフラッシュメモリ20との間のデータのやり取りを行うためのI/F回路である。

フラッシュメモリ20には、この半導体装置を起動するためのブートプログラムを含む各種の処理プログラムやデータが格納されている。これらの処理プログラムは、CPU 11により実行される。

【0023】

なお、内部バス17には、この内部バス17を通じたアクセスが可能であるか否かを示

すバス状態信号READYが伝送されるバスが含まれる。例えば、CPU11がフラッシュメモリコントローラ14に対してフラッシュメモリ20からのデータ読み出しを要求したときに、フラッシュメモリコントローラ14によりバス状態信号READYがネゲートされると、内部バス17に対する上位システムからのアクセスがブロックされる。

【0024】

このような半導体装置では、フラッシュメモリ20にあらかじめブートプログラムが格納される。そして、起動の際には、CPU11によりフラッシュメモリコントローラ14に対して、ブートプログラムが格納されているブロックの先頭アドレスが指定され、フラッシュメモリ20から読み出されたブートプログラムがCPU11により実行される。これにより、半導体装置内の各部が初期化される。

【0025】

ところで、NAND型のフラッシュメモリは、不良ブロックがランダムに発生することが知られている。このようなフラッシュメモリは、大容量でありながら、NOR型フラッシュメモリなどと比較して安価である。一方、半導体装置を常に安定的に起動させるためには、フラッシュメモリ20内に記憶されたブートプログラムが、常に正常な状態でCPU11に供給され、実行される必要がある。

【0026】

このため、本実施の形態では、フラッシュメモリ20内の複数のブロックに、それぞれ同一のブートプログラムを格納しておく。そして、フラッシュメモリコントローラ14において、フラッシュメモリ20から読み出したデータに基づいて、読み出しが行われたブロックが不良であるか否かを判定し、不良であった場合には他のブロックに記憶されたブートプログラムを再度読み出す。このような処理により、CPU11において、常に正常なブロックに記憶されたブートプログラムが実行されるようにする。

【0027】

本実施の形態では、例として、フラッシュメモリコントローラ14は、フラッシュメモリ20から読み出したデータに含まれるECCおよびブロックインフォメーションに基づいて、ブロックが不良であるか否かを判定する。

【0028】

図2は、フラッシュメモリ20のデータ構造の例を示す図である。

図2に示すように、フラッシュメモリ20の内部は複数のブロックに分割され、ブロックごとにデータの読み出しが行われる。各ブロックは、さらにページ単位に分割される。本実施の形態では64のページに分割される。さらに、各ページでは、例えば先頭から2048バイト分がユーザデータの格納領域とされ、その後の例えば64バイト分の拡張データ(Extra Data)領域が設けられている。

【0029】

拡張データ領域には、その先頭から、ECCが3バイトずつの4つの領域に分割されて格納される。なお、これらの各領域の最後部には「00」が挿入される。また、各ブロックの先頭ページには、さらに次の4バイト分の領域にブロックインフォメーションが格納される。ブロックインフォメーションは、当該ブロックが不良であるか否かを示すフラグであり、この値が特定の値である場合に当該ブロックが正常であると判別することが可能となる。

【0030】

図3は、フラッシュメモリ20におけるブートプログラムの格納状態を示す図である。

図3に示すように、本実施の形態では例として、フラッシュメモリ20内の先頭からの4ブロックに、それぞれ同一のブートプログラムが格納され、それ以後のブロックに他の処理プログラムやデータが格納される。これらのうち、リセット直後にCPU11により指定されるのは先頭ブロックとされ、このブロックを不良であると判定した場合は、フラッシュメモリコントローラ14は、第2、第3、第4のブロックを順次指定して、ブートプログラムを読み出す。

【0031】

図4は、上記の半導体装置の起動時におけるフラッシュメモリコントローラ14の処理の流れを示すフローチャートである。

〔ステップS101〕システムのリセット信号が入力されると、CPU11は、内部バス17を介して、ブートプログラムの格納領域に対するアクセスを行う。フラッシュメモリコントローラ14は、CPU11からのアクセスを待機し、上記格納領域（具体的には先頭ブロックの先頭ページ）へのアクセスが発生した場合に、ステップS102に進む。

【0032】

〔ステップS102〕バス状態信号READYをネゲートする。これにより、上位システムからの内部バス17に対するアクセスがブロックされる。

〔ステップS103〕入出力I/F15を通じてフラッシュメモリ20にアクセスし、CPU11により指定された領域から1ページ分のデータを読み出す。そして、読み出したデータをRAM14aに一時的に格納する。なお、このときすでにRAM14a内にデータが格納されていた場合には、そのデータに上書きする。

【0033】

〔ステップS104〕RAM14aに格納したデータを順次読み出して、まず、ECCをチェックし、以下のステップS105およびS107の判定を行う。

〔ステップS105〕当該ページのデータが訂正不可能なエラー（UCE:Uncorrectable Error）を含むと判定した場合にはステップS106に進み、そうでない場合はステップS107に進む。

【0034】

〔ステップS106〕フラッシュメモリ20内の読み出し対象を次のブロックに指定して、ステップS103に戻る。これにより、次のブロックの先頭ページから再度データが読み出される。

【0035】

なお、本実施の形態では、フラッシュメモリ20内の4ブロックにブートプログラムが格納されているので、ステップS106に進んだ回数が4となったときは、処理を終了する。この場合、半導体装置は起動されない。

【0036】

〔ステップS107〕当該ページのデータが訂正可能なエラー（CE:Correctable Error）を含むと判定した場合はステップS108に進み、そうでない場合、すなわちエラーを含まない場合はステップS109に進む。

【0037】

〔ステップS108〕当該ページのデータに対してエラー訂正処理を施し、RAM14aに書き戻す。

〔ステップS109〕RAM14aのデータからブロックインフォメーションを抽出する。そして、このブロックインフォメーションが特定の値でない場合は、不良ブロックと判定してステップS106に進む。これにより、次のブロックの先頭ページから再度データが読み出される。また、ブロックインフォメーションが特定の値であった場合は、正常なブロックと判定して、ステップS110に進む。

【0038】

〔ステップS110〕バス状態信号READYをアサートする。

〔ステップS111〕RAM14aのデータを、内部バス17を通じてCPU11に出力する。これにより、フラッシュメモリ20から読み出されたブートプログラムがCPU11により実行され、半導体装置が起動される。

【0039】

なお、上記のフローチャートは、ブートプログラムの容量が1ページ内のデータ格納領域の容量以下である場合の処理を示している。ブートプログラムが複数ページに渡って格納される場合は、ステップS109の処理は、ブロック内の先頭ページからの読み出しが行われた場合にのみ実行される。また、この処理により正常なブロックと判定された場合には、ステップS110およびS111によりRAM14a内のデータをCPU11に出

力した後、再びステップ S102 に戻ってバス状態信号 READY をネゲートし、ステップ S103 で次のページからのデータ読み出しを行うようにすればよい。

【0040】

以上のフローチャートで示した処理により、フラッシュメモリコントローラ 14 は、フラッシュメモリ 20 から読み出したデータが訂正可能なエラーを含む場合、あるいはエラーを含まない場合で、かつ、ブロックインフォメーションにより不良ブロックでないことが検出された場合のみ、そのデータを CPU11 に出力する。このため、CPU11 は、起動時には常に正常なブートプログラムを実行するようになり、半導体装置を安定的に起動させることが可能となる。

【0041】

従って、フラッシュメモリコントローラ 14 の処理により、ブートプログラムが格納されたフラッシュメモリ 20 内の特定ブロックが不良でないことが実質的に保証される。従来、特定のブロックが不良でないことを保証することは、フラッシュメモリの出荷前に行う試験のコストの増大につながり、また歩留まりが悪化する要因ともなっていた。しかし、本発明を適用した場合には、ランダムに不良ブロックが存在する、低コストでかつ大容量のフラッシュメモリをブートデバイスとして使用することが可能となるので、半導体装置全体の製造コストを抑制しながらも、常に安定的な起動処理を実行することが可能となる。

【0042】

また、読み出し対象のブロックが不良であると判定された場合には、フラッシュメモリコントローラ 14 の処理により、他のブロックからブートプログラムが再度読み出され、不良ブロックでないと判定された場合にのみ CPU11 に出力される。このため、CPU11 は、リセット後に従来と何ら変わらない処理手順で起動処理を実行することができ、フラッシュメモリコントローラ 14 以外の構成を変更する必要がない。従って、本発明は、CPU により種々の処理が実行されるコンピュータシステムに対して、製造コストを増大させることなく、汎用的に適用することが可能である。

【0043】

なお、上記の実施の形態では、フラッシュメモリをシステム LSI の外部に設けたが、このフラッシュメモリをシステム LSI の内部に形成した場合にも本発明を適用することが可能である。

【0044】

また、ブートデバイスとして用いるフラッシュメモリとしては、NAND 型に限らず、比較的大容量で、シーケンシャルなアクセスが可能な構成を有して、製品出荷時に不良ブロックを完全に排除することが困難なフラッシュメモリを適用することが可能である。このようなものとして、例えば、AND 型といわれるフラッシュメモリを用いることが可能である。

【図面の簡単な説明】

【0045】

【図1】 本発明の実施の形態に係る半導体装置の構成を示す図である。

【図2】 フラッシュメモリのデータ構造の例を示す図である。

【図3】 フラッシュメモリにおけるブートプログラムの格納状態を示す図である。

【図4】 本実施の形態に係る半導体装置の起動時におけるフラッシュメモリコントローラの処理の流れを示すフローチャートである。

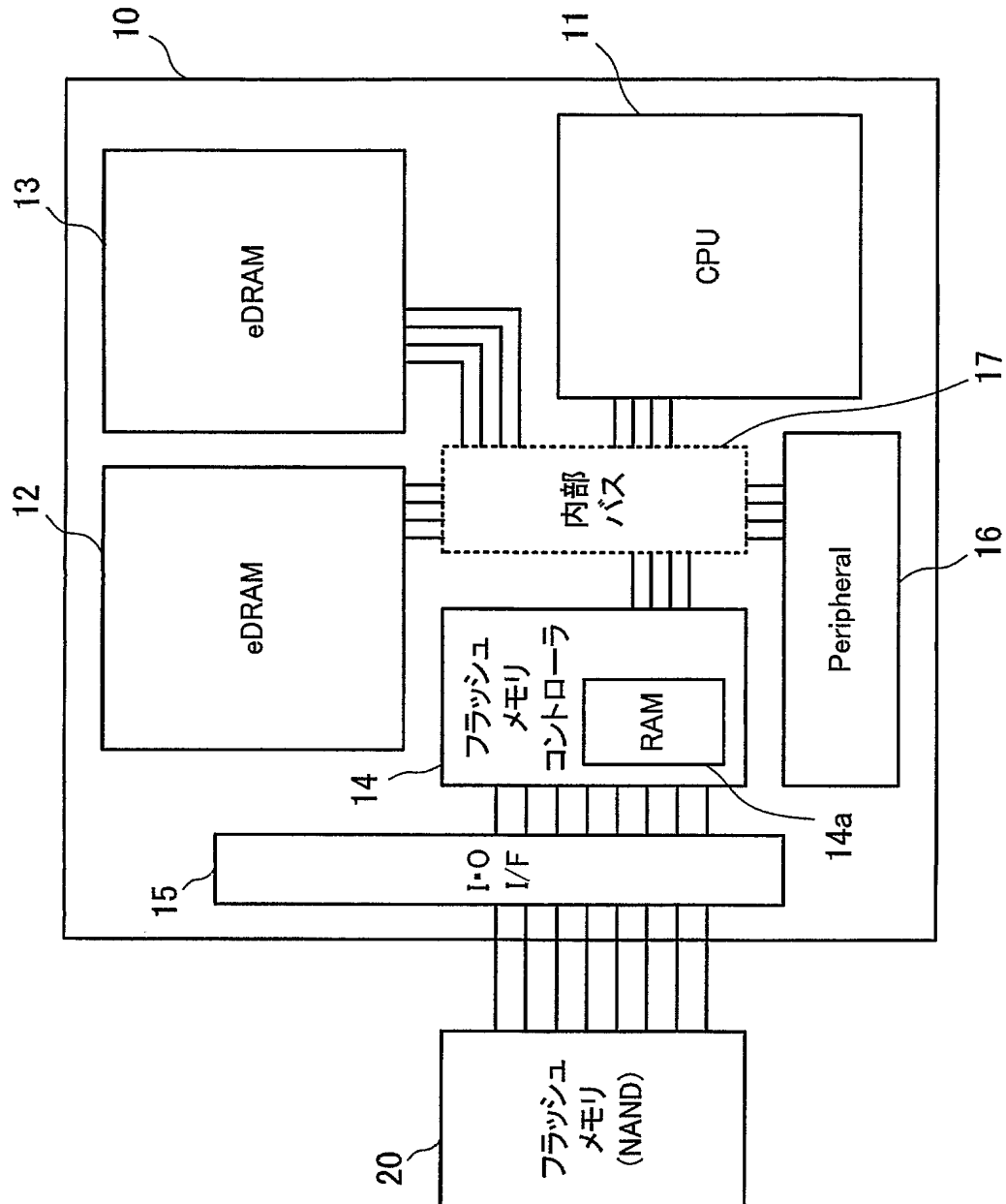
【符号の説明】

【0046】

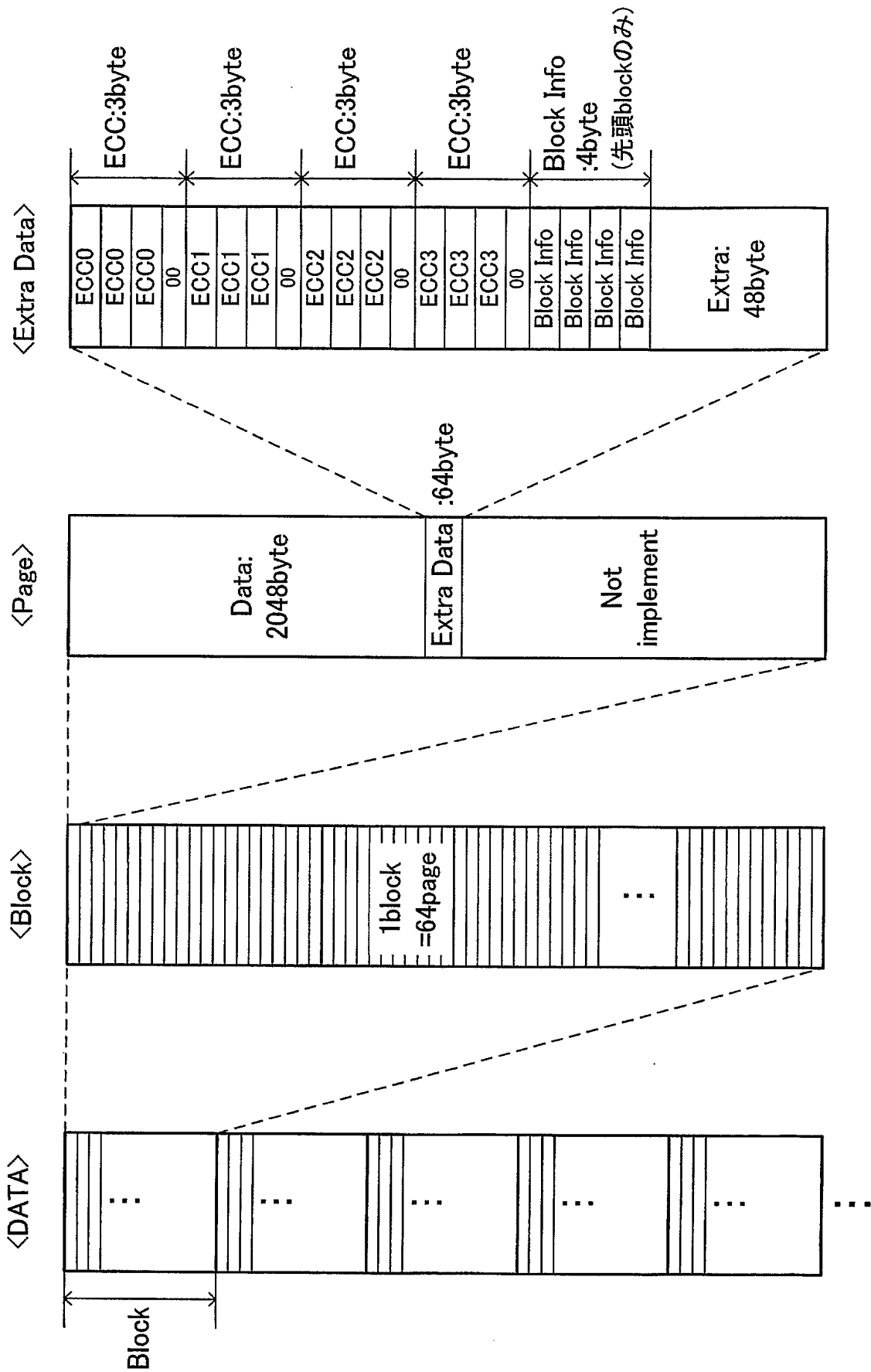
10……システム LSI、11……CPU、12、13……eDRAM、14……フラッシュメモリコントローラ、14a……RAM、15……入出力 I/F、16……周辺回路、20……フラッシュメモリ

【書類名】 図面

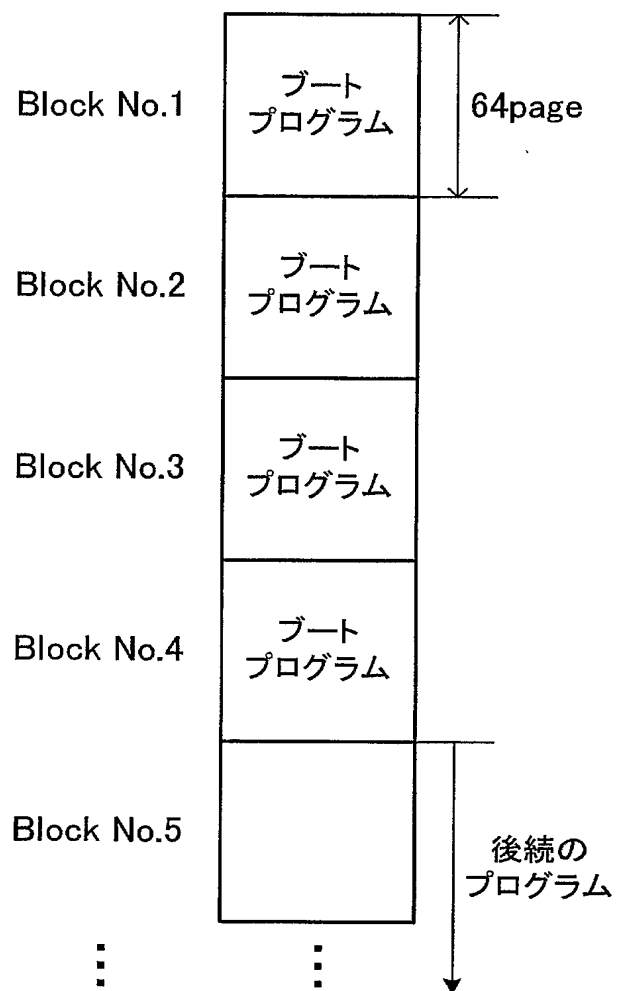
【図 1】



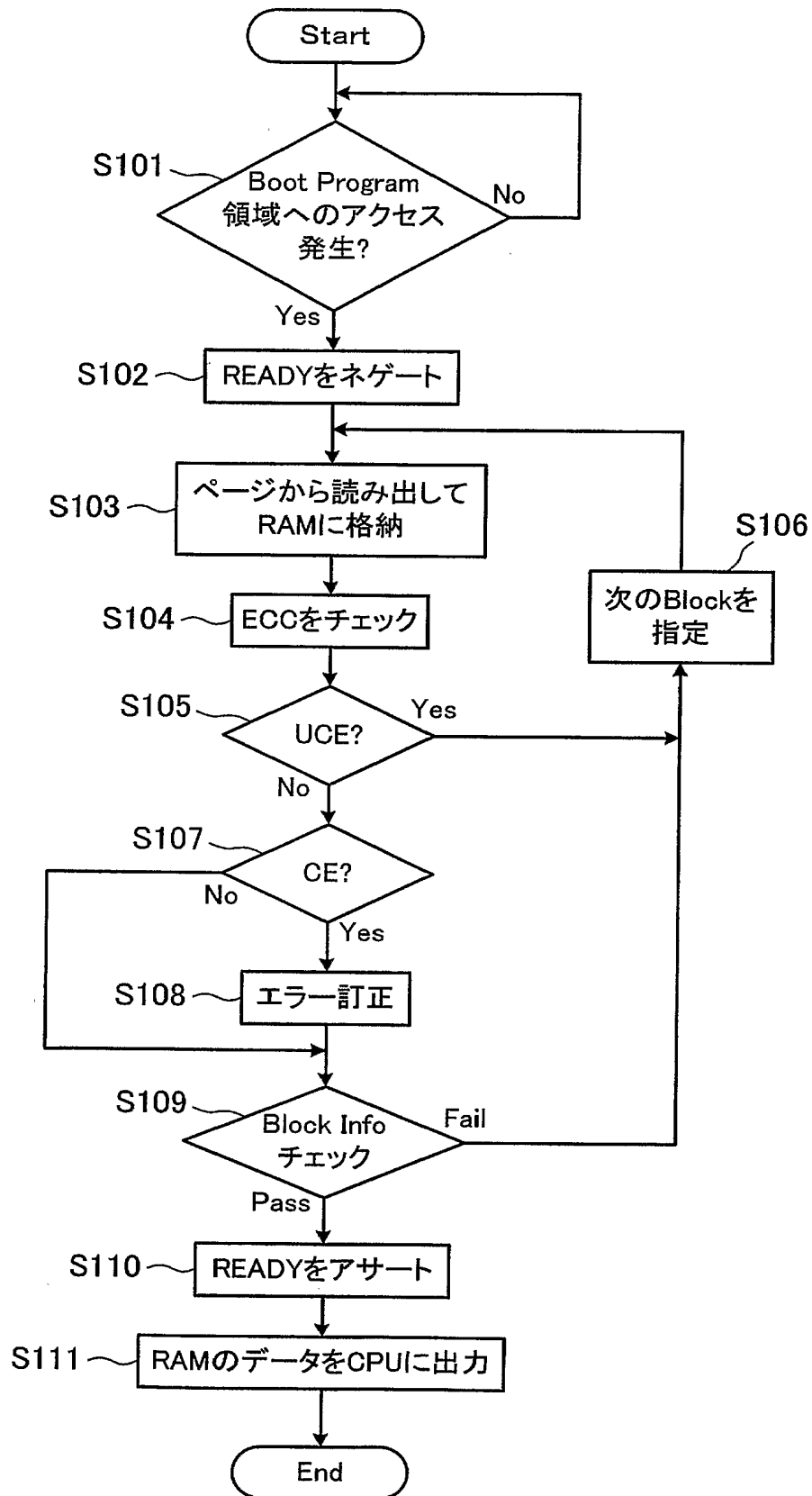
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 NAND型などのビット単価の低いフラッシュメモリをブートデバイスとして使用して、常に安定的に起動する半導体装置を提供する。

【解決手段】 フラッシュメモリ内の複数のブロックにそれぞれ同一のブートプログラムを記憶しておく。フラッシュメモリコントローラは、CPUからブートプログラムの記憶領域へのアクセスを受けると（ステップS101）、対応するページから読み出したデータ中のECCに基づく判定（ステップS105, S106）と、ブロックインフォメーションに基づく判定（ステップS109）により、対応するブロックが不良でないと判定した場合のみ、読み出したデータをCPUに出力する。また、不良ブロックと判定した場合は、次のブロックに記憶されたブートプログラムを読み出して（ステップS106, S103）、不良ブロックの判定を再度行う。

【選択図】 図4

特願 2 0 0 4 - 0 1 9 2 7 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社